

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-052048

(43)Date of publication of application : 21.02.2003

(51)Int.Cl.

H04N 9/07  
H01L 27/148  
H04N 5/335  
// H04N101:00

(21)Application number : 2001-239358

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 07.08.2001

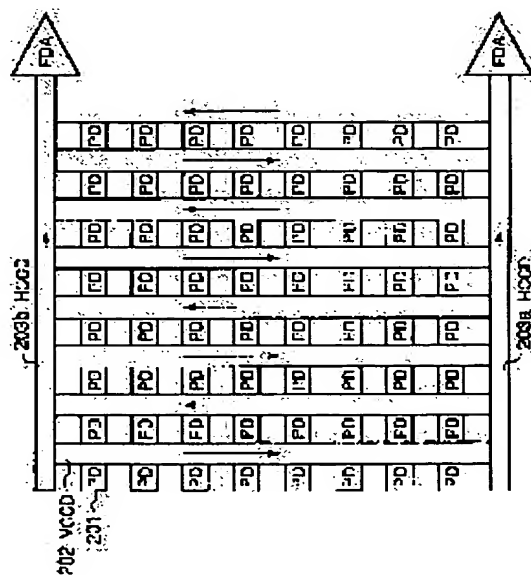
(72)Inventor : MORI KEIICHI  
YOSHIDA HIDEAKI

(54) IMAGING ELEMENT, IMAGING APPARATUS AND IMAGING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an imaging element which allows the complete in-element homochromatic two-dimensional addition for e.g. a Bayer configuration.

**SOLUTION:** The imaging element comprises two horizontal transfer lines (HCCD) 203a, b at the top and bottom ends of a plurality of vertical transfer lines (VCCD) 202, so that transferred charges on the vertical transfer lines (VCCD) 202 may be row-alternately allotted to the two horizontal transfer lines (HCCD) 203a, b. While the known homochromatic addition is executed about the vertical transfer, output amplifiers provided at the final ends of the two horizontal transfer lines conduct the pixel charge addition, and this allows the complete in-element homochromatic two-dimensional addition to be conducted even for a Bayer configuration. Thus, a high-speed read of high-quality pictures is realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-52048

(P2003-52048A)

(43) 公開日 平成15年2月21日 (2003.2.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード (参考)
H 0 4 N 9/07		H 0 4 N 9/07	A 4 M 1 1 8
H 0 1 L 27/148		5/335	F 5 C 0 2 4
H 0 4 N 5/335		101:00	5 C 0 6 5
// H 0 4 N 101:00		H 0 1 L 27/14	B

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願2001-239358 (P2001-239358)

(22) 出願日 平成13年8月7日 (2001.8.7)

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 森 圭一

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

(72) 発明者 吉田 英明

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外4名)

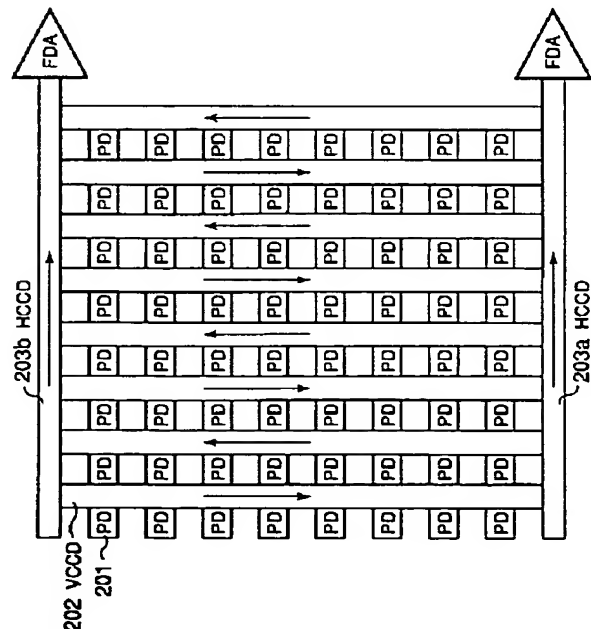
最終頁に続く

(54) 【発明の名称】 撮像素子、撮像装置および撮像方法

(57) 【要約】

【課題】たとえばベイア配列に対しても完全素子内同色2次元加算を可能とする撮像素子を提供する。

【解決手段】この発明の撮像素子は、複数本の垂直転送路 (VCCD) 202の上下端に2本の水平転送路 (HCCD) 203a, bを設け、この2本の水平転送路 (HCCD) 203a, bに垂直転送路 (VCCD) 202の転送電荷を列交互に振り分けられるようにした。これにより、垂直転送に関しては公知の同色加算を実行しつつ、この2本の水平転送路の各終端に設けられる出力アンプで画素電荷加算を行うことにより、ベイア配列に対しても完全素子内同色2次元加算を可能とし、画質の高い画像を高速に読み出すことを実現する。



## 【特許請求の範囲】

【請求項1】 インターライン型電荷転送路を有する撮像素子であって、

1列ごとに転送方向が逆となるように構成された複数の垂直転送路と、

前記複数の垂直転送路の両端に設けられる2つの水平転送路とを具備することを特徴とする撮像素子。

【請求項2】  $2 \times 2$ 色配列の色フィルタを有することを特徴とする請求項1記載の撮像素子。

【請求項3】 前記垂直転送路の第2および第4電極が1列ごとに交叉して設けられることを特徴とする請求項1または2記載の撮像素子。

【請求項4】 インターライン型電荷転送路を有する撮像素子であって、

複数の垂直転送路と、

前記複数の垂直転送路の終端に1列おきに互い違いに設けられる2つの水平転送路とを具備することを特徴とする撮像素子。

【請求項5】  $2 \times 2$ 色配列の色フィルタを有することを特徴とする請求項4記載の撮像素子。

【請求項6】 請求項1乃至5記載のいずれかの撮像素子と、

前記撮像素子の各水平転送路上を転送する連続した画素電荷を加算する素子内同色2次元加算手段とを具備することを特徴とする撮像装置。

【請求項7】 複数の垂直転送路と、この複数の垂直転送路の転送電荷が列交互に振り分けられる2つの水平転送路と、 $2 \times 2$ 色配列の色フィルタとを有する撮像素子と、

前記撮像素子の各水平転送路上を転送する連続した画素電荷を加算する素子内同色2次元加算手段とを具備することを特徴とする撮像装置。

【請求項8】 複数の垂直転送路と、この複数の垂直転送路の転送電荷が列交互に振り分けられる2つの水平転

$$A(i, j) = X(i-1, j-1) + X(i+1, j-1) + X(i-1, j+1) + X(i+1, j+1) \quad \cdots (1) \text{式}$$

(ただし、 $i = 4m_1 + m_2$ 、 $j = 4n_1 + n_2$ 、

$m_1$ 、 $n_1$ は非負の整数、 $m_2$ 、 $n_2$ は1または2)

このとき、座標  $i$ 、 $j$  は、原画像画素  $X$  の位置座標であり、また、生成画像画素  $A$  の座標でもある。したがって、 $A(i, j)$  の座標  $(i, j)$  は、減数処理で生成された画素の原画像における代表的存在位置を示すことになる。

【0007】 この(1)式の座標から判るように、生成画素は、加算時の4つの原画素の平均位置に生成されると見なしている(加算4画素の感度は等しいから、この

$$A(x, y) = A(i, j) \quad \cdots (2) \text{式}$$

(ただし、 $x = 2m_1 + m_2 - 1$ 、 $y = 2n_1 + n_2 - 1$ )

という形式のベイア配列画像として、従来のベイア撮像素子からの出力信号と全く同様の公知の信号処理によつ

送路と、 $2 \times 2$ 色配列の色フィルタとを有する撮像素子を用いた撮像方法であって、

前記撮像素子の各水平転送路上を転送する連続した画素電荷を加算して素子内同色2次元加算を実行することを特徴とする撮像方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、画素加算により感度の向上を図る撮像素子、撮像装置および撮像方法に係り、特に、たとえばベイア配列に対しても完全素子内同色2次元加算を可能とする撮像素子、撮像装置および撮像方法に関する。

【0002】

【従来の技術】 近年、被写体像を撮像光学系により固体撮像素子、たとえばCCD 2次元イメージセンサ上に結像して電気信号に変換し、これにより得られた撮像データを半導体メモリや磁気ディスクのような記録媒体に記録する、いわゆる電子カメラが広く普及しつつある。

【0003】 この種の電子カメラにおいては、撮像素子の隣接する画素情報の加算、たとえば垂直方向2画素と水平方向2画素の合計4画素の信号を加算することにより、解像度は低下するものの、感度の向上を図ることができる。とされている。

【0004】 また、本出願人自身の特願2000-22758号には、ベイア配列の撮像素子の画素出力情報から、画素数(正確には空間画素密度)を減じたベイア配列画素信号を生成する減数処理技術が記載されている。

【0005】 これをRGBベイア配列に関して詳細に述べれば、たとえば $2 \times 2$ の4画素加算の場合は、ベイア配列の単位配列を $2 \times 2 = 4$ 個並べた $4 \times 4 = 16$ 画素を1つのブロックと見なし、その中で、(1)式で表わされる加算を行なうものであった。

【0006】

場合は感度分布の重心位置に生成されるということもできる)。この様子を図11に示す。

【0008】 また、このような減数処理により生成されたベイア画像データは、次段での処理においては上記原画像における代表的存在位置の座標は意味を失い、これらが単に順次(隙間無く隣接して)配列されたデータとして扱われるから、たとえば上記と共通の記号( $i$ 、 $j$ 、 $m_1$ 、 $m_2$ 、 $n_1$ 、 $n_2$ )を用いて、

て、色情報が同時化された(各画素が全て3色データを有する)コンポーネント信号化され記録対象画像に生成

される（その際必要に応じて情報圧縮処理も伴う）。また、同様の加算は、さらに多画素にも拡張できることは当然である。

【0009】

【発明が解決しようとする課題】ところで、この画素加算には素子内加算と素子外加算とがあり、SNの観点からも、また、読出し時間の短縮の観点からも素子内加算が望ましい。この素子内加算は、隣接する画素同士の場合は比較的容易に実現できる。ところが、ベイヤ配列は、2×2の周期配列、換言すれば行交互、列交互の配列であるから、上記加算を単純に素子内で実行することはできない。ただし、垂直方向の加算については、

(1) 上記公報に記載したような、インターレースを利用して読出し時に同色が隣接（縦ストライプ状）するようにする方法

(2) 画素部からの転送ゲートを複数の相に分割し、読出しタイミングと転送の工夫で垂直転送路上で同色が隣接するように並べ替える方法

などによって同色隣接化を行なうことで、素子内加算が実現されている。

【0010】これに対して、水平加算については、単独ではともかく、上記垂直加算と両立的に（同時に）実行可能な素子内同色2次元加算方法は実現されていない。このため、上記公報においても、水平加算は、外部デジタル演算で行なうようになっている。したがって、これに伴うSNの低下や読出し時間の長期化が問題であった。

【0011】この発明は、このような事情を考慮してなされたものであり、たとえばベイヤ配列に対しても完全素子内同色2次元加算を可能とする撮像素子、撮像装置および撮像方法を提供することを目的とする。

【0012】

【課題を解決するための手段】前述した目的を達成するために、この発明は、インターライン型電荷転送路を有する撮像素子であって、1列ごとに転送方向が逆となるように構成された複数の垂直転送路と、前記複数の垂直転送路の両端に設けられる2つの水平転送路とを具備することを特徴とする撮像素子を提供する。

【0013】この撮像素子においては、2つの水平転送路に複数の垂直転送路の転送電荷が列交互に振り分けられることから、垂直転送に関しては公知の同色加算を実行しつつ、この2つの水平転送路の各終端に設けられる出力アンプで画素電荷加算を行うことにより、ベイヤ配列に対しても完全素子内同色2次元加算を可能とし、画質の高い画像を高速に読み出すことを実現する。

【0014】

【発明の実施の形態】以下、図面を参照してこの発明の一実施形態を説明する。

【0015】図1は、この発明の実施形態に係るデジタルカメラの構成を示すブロック図である。

【0016】図中、101は各種レンズからなる撮像レンズ系、102はレンズ系101を駆動するためのレンズ駆動機構、103はレンズ系101の絞り及びシャッタ装置を制御するための露出制御機構、104はローパス及び赤外カット用のフィルタ、105は被写体像を光電変換するためのCCDカラー撮像素子、106は撮像素子105を駆動するためのCCDドライバ、107はA/D変換器等を含むプリプロセス回路、108はγ変換などを初めとする各種のデジタル演算処理を行うためのデジタルプロセス回路、109はカードインターフェース、110はメモ리카ード、111はLCD画像表示系を示している。また、図中の112は各部を統括的に制御するためのシステムコントローラ、113は各種SWからなる操作スイッチ系、114は操作状態及びモード状態等を表示するための操作表示系、115は発光手段としてのストロボ、116はレンズ駆動機構102を制御するためのレンズドライバ、117は露出制御機構103及びストロボ115を制御するための露出制御ドライバ、118は各種設定情報等を記憶するための不揮発性メモリ（EEPROM）を示している。

【0017】本実施形態のデジタルカメラにおいては、システムコントローラ112が全ての制御を統括的に行っており、特にCCDドライバ106によるCCD撮像素子105の駆動を制御して露光（電荷蓄積）及び信号の読み出しを行い、それをプリプロセス回路107を介してデジタルプロセス回路108に取込んで記録用の画像信号を生成した後にカードインターフェース109を介してメモ리카ード110に記録するようになっている。また、露出制御機構103には、メカシャッタ（光学的シャッタ）が含まれている。

【0018】CCD撮像素子105は、図2に示すように、マトリクス配置されたフォトダイオード（PD）201、1列ごとに転送方向が逆となるように構成された複数本の垂直転送路（VCCD）202およびこの垂直転送路（VCCD）202の上下端に設けられる2本の水平転送路（HCCD）203a、bから構成されるインターライン型の撮像素子である。そして、このCCD撮像素子105は、図3に示す従来の撮像素子と比較して、2つの水平転送路（HCCD）203a、bを設け、この2つの水平転送路（HCCD）203a、bに垂直転送路（VCCD）202の転送電荷を列交互に振り分け可能とした点を特徴としている。なお、カラーフィルタは、図4に示すようにRGBのベイヤ配列となっている。

【0019】また、このCCD撮像素子105は、電子シャッタとメカシャッタを併用したインターレース読み出しを行なう。具体的には、メカシャッタ開状態において電荷排出パルス（半導体基板バイアスを一旦所定の電荷排出用の高電圧値とすることで全面素子の電荷を基板に排出するパルス）を出力することで露光を開始し、所定

の露光時間後にシャッタを閉じることで露光を終了する。

【0020】その後、公知のインターレース読み出しによって、すなわち奇数ラインはAフィールド、偶数ラインはBフィールドと順次の2つのフィールド期間に別々に読み出しを行なう、1つのフレーム画像を得る。

【0021】その際、色配列に着目すると、1フレームのベイア配列は、各フィールドのみに着目すれば、それぞれ縦ストライプ配列に相当しているから、読み出し時に、公知の垂直n加算駆動（1水平ブランキング期間にnライン分の垂直転送を行なう）によって、垂直方向に関しては素子内同色加算を行なうことができる。本実施形態では、 $2 \times 2 = 4$ 画素加算を行なうので、 $n = 2$ として加算駆動読み出しを行なう。

【0022】ただし、図2に示したように、1列ごとに転送の向きは上下逆になる。したがって、たとえばAフィールドにおいては、水平転送路（HCCD）203aにはR、水平転送路（HCCD）203bにはGのみ、Bフィールドにおいては、水平転送路（HCCD）203aにはG、水平転送路（HCCD）203bにはBのみが転送され、水平転送路への移送の際に垂直2画素加算される。

【0023】一方、水平方向については、FDAへの水平転送を行なう際に、図5に示すように、1回のリセットパルス出力に対してn画素分の水平転送パルスを印加することで、水平n加算駆動を行なう。上記したように、各水平転送路には同色の画素電荷のみが垂直転送されているので、同色加算を行なうことができる。この場合も $n = 2$ とすることは言うまでもない。

【0024】ここで、垂直転送路（VCCD）202の転送電荷を列交互に上下に振り分けるための仕組みの一具体例を示す。

【0025】図6は、このCCD撮像素子105における各画素の模式構造を示す図、図7は、従来のCCD撮像素子における各画素の模式構造を示す図である。また、図8は、このCCD撮像素子105における配線模式図、図9は、従来のCCD撮像素子における配線模式図である。

【0026】図6および図8に示すように、このCCD撮像素子105では、図7および図9に示す従来のCCD撮像素子とは異なり、垂直転送路（VCCD）202の第2および第4電極が1列おきに交叉して設けられる。このように電極を設けることにより、このCCD撮像素子105は、垂直転送路（VCCD）202の転送電荷を列交互に上下に（同時に）振り分けることを実現している。

【0027】また、本実施形態では、加算のパターンとして、先の図11に示したものを採用している。すなわち上記（1）式である。

【0028】加算生成された画像は、ベイア配列をなし

ているから、従来のベイア撮像素子からの出力信号と全く同様の（すなわち非加算の場合と同一の）公知の信号処理によって、色情報が同時化された（各画素が全て3色データを有する）コンポーネント信号化され記録対象画像に生成されて記録される。あるいは、適当なインターフェースを介して、たとえば汎用コンピューターやプリンタ等の外部機器に出力される。

【0029】この後段の回路における処理は、必要に応じて適宜使用される、それ自体は公知の、たとえば色バランス処理、マトリクス演算による輝度一色差信号への変換またはその逆変換処理、帯域制限等による偽色除去または低減処理、 $\gamma$ 変換に代表される各種非線型処理、各種情報圧縮処理、等々である。

【0030】なお、ここでは、水平転送路（HCCD）203a、bを垂直転送路（VCCD）202の上下端に設ける例を説明したが、上記と同様の振り分け転送が可能ならば、たとえば図10に示すように、水平転送路（HCCD）203a、bを同じ側に設けても良い。

【0031】また、上記ではRGBベイア配列を使用しているが、（1）たとえばYCMの補色系3原色など任意のベイア配列、（2）YCMGやRGBx（ $x = W$ （Wは白＝全透過）、 $x = IR$ （赤外）など）などの4色配列、等に適用しても同様に有効である。

【0032】さらに、水平と垂直のそれぞれの加算数は任意数で良く、たとえば垂直について非加算でも良い。

【0033】つまり、本願発明は、前記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、前記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0034】

【発明の効果】以上、詳述したように、この発明によれば、2つの水平転送路に複数の垂直転送路の転送電荷が列交互に振り分けられることから、垂直転送に関しては公知の同色加算を実行しつつ、この2つの水平転送路の各終端に設けられる出力アンプで画素電荷加算を行うことにより、ベイア配列に対しても完全素子内同色2次元加算を可能とし、画質の高い画像を高速に読み出すことを可能とする。

【図面の簡単な説明】

【図1】この発明の実施形態に係るデジタルカメラの構成を示すブロック図。

【図2】同実施形態のデジタルカメラの撮像素子構成を示す図。

【図3】従来のデジタルカメラの撮像素子構成を示す図。

【図4】同実施形態のデジタルカメラの撮像素子におけるフィルタ配列を示す図。

【図5】同実施形態のデジタルカメラの撮像素子における水平n加算駆動を説明するための図。

【図6】同実施形態のデジタルカメラの撮像素子における各画素の模式構造を示す図。

【図7】従来のデジタルカメラの撮像素子における各画素の模式構造を示す図。

【図8】同実施形態のデジタルカメラの撮像素子における配線模式図。

【図9】従来のデジタルカメラの撮像素子における配線模式図。

【図10】同実施形態のデジタルカメラの撮像素子構成(変形例)を示す図。

【図11】4画素同色加算パターンを説明するための図。

【符号の説明】

101…レンズ系

102…レンズ駆動機構

103…露出制御機構

104…フィルタ系

105…CCDカラー撮像素子

106…CCDドライバ

107…プリプロセス回路

108…デジタルプロセス回路

109…カードインターフェース

110…メモ리카ード

10 111…LCD画像表示系

112…システムコントローラ

113…操作スイッチ系

114…操作表示系

115…ストロボ

116…レンズドライバ

117…露出制御機構

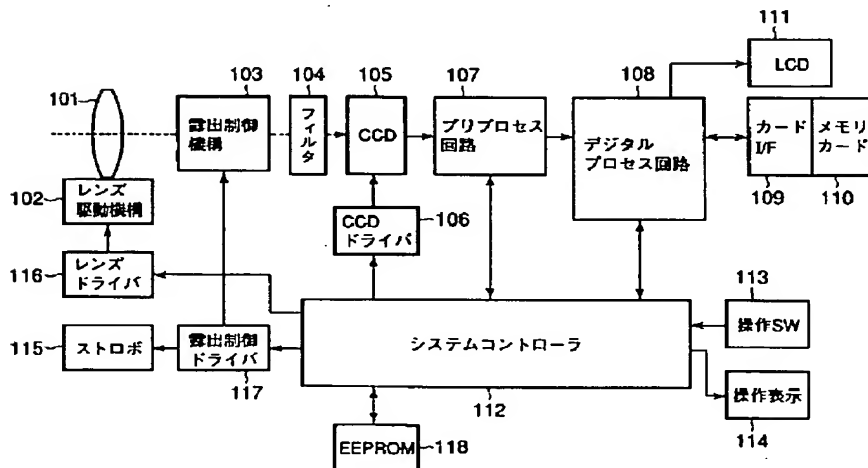
118…不揮発メモリ (EEPROM)

201…フォトダイオード (PD)

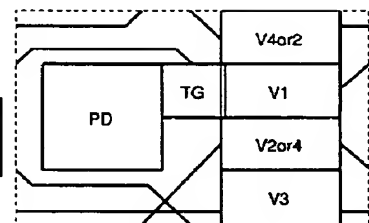
202…垂直転送路 (VCCD)

20 203 a, b…水平転送路 (HCCD)

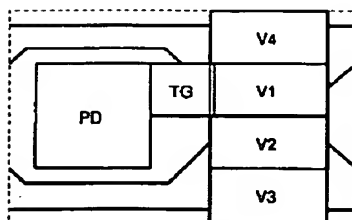
【図1】



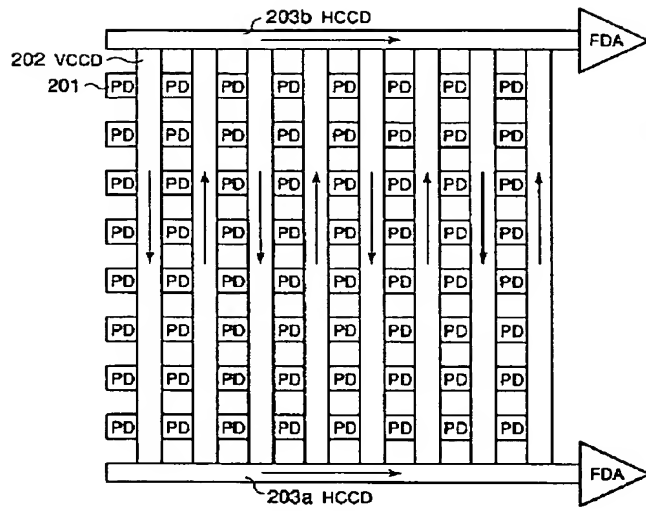
【図6】



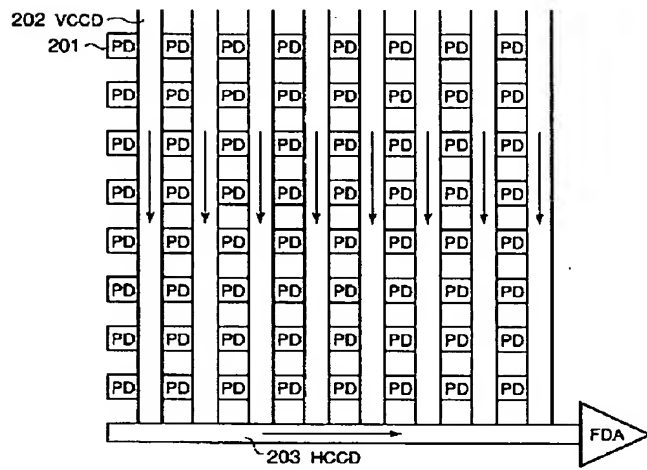
【図7】



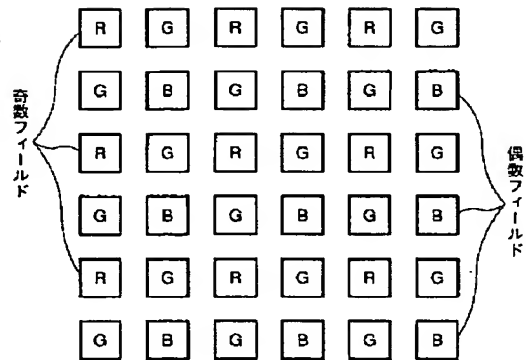
【図2】



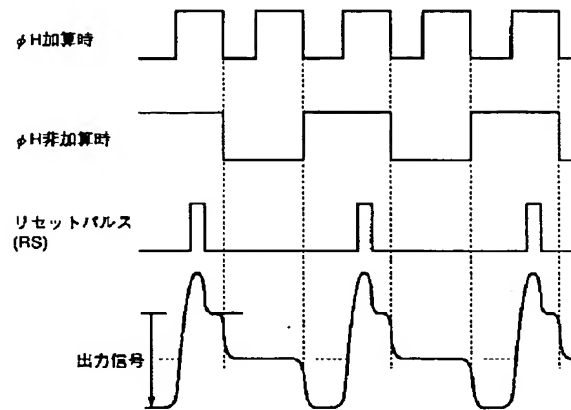
【図3】



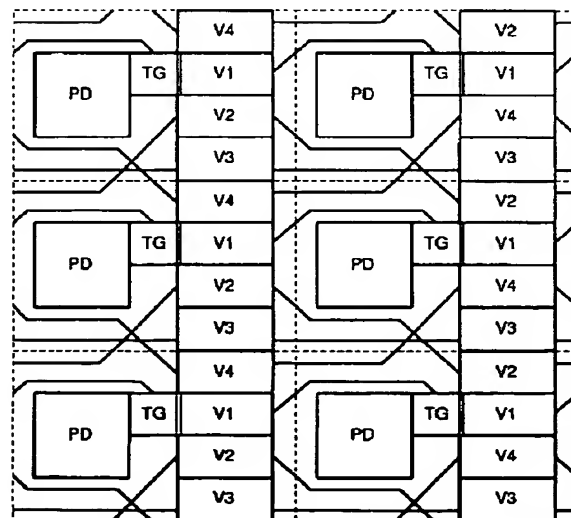
【図4】



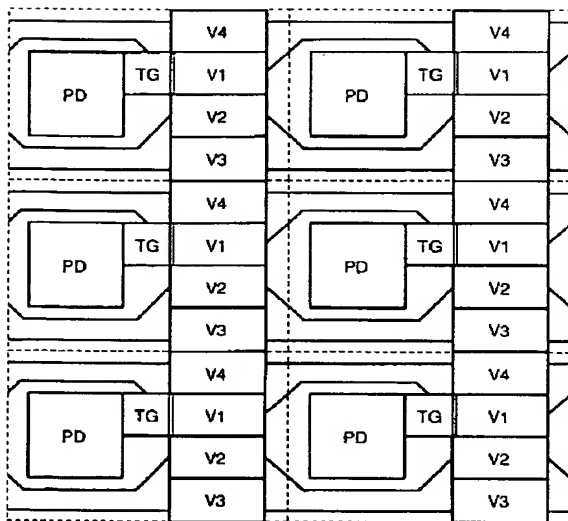
【図5】



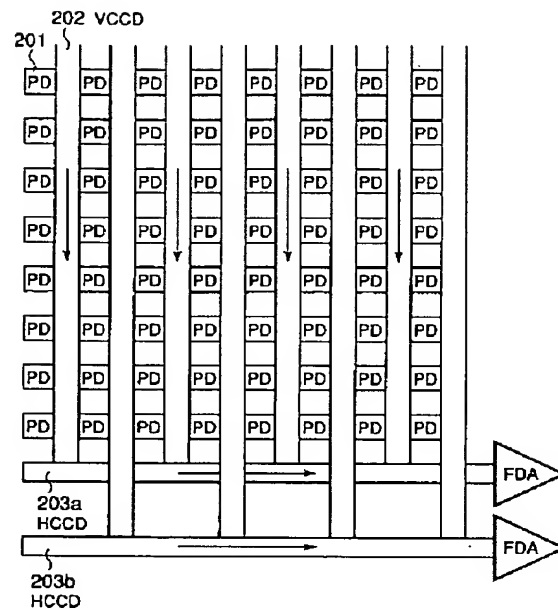
【図8】



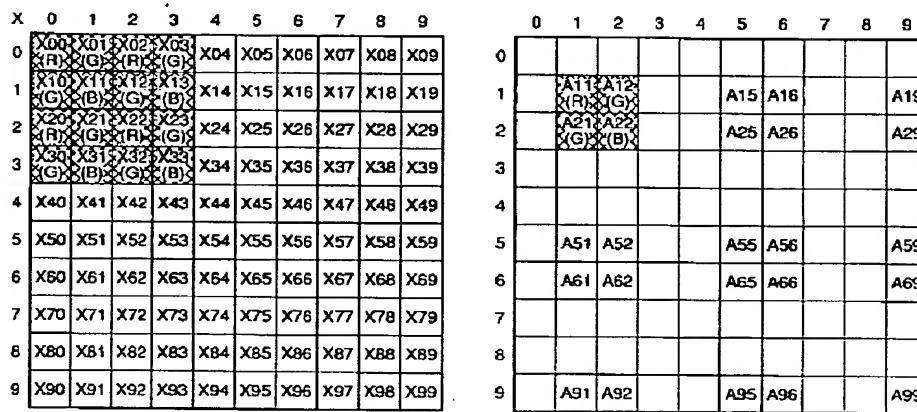
【図9】



【図10】



【図11】



(A) 画素の配置=生成画素の開口形状

(B) 生成画素の中心=サンプリング中心

フロントページの続き

Fターム(参考) 4M118 AA05 AA10 AB01 BA13 CA02  
 DA18 DB09 DB20 FA06 FA44  
 FA50 GC09 GC14  
 5C024 BX01 CX41 DX01 GX03 GY01  
 GZ01 HX02 HX28 JX21  
 5C065 AA03 CC01 CC07 CC08 DD02  
 DD17 EE05 EE06 GG21